



MINISTÉRIO DA EDUCAÇÃO
CEFET-SC
Unidade de São José

Telefonia Digital:

Central Intelbras 126

Curso técnico em Telecomunicações

Sandro Carlos Lima

São José - SC, 2005

SUMÁRIO

4. PABX INTELBRAS 126 DIGITAL	18
4.1 COMPOSIÇÃO DO PABX 126 DIGITAL	18
4.2 CONFIGURAÇÕES DE MONTAGEM E EMPACOTAMENTO MECÂNICO.....	19
4.3 PLACA DE CPU.....	20
4.3.1 DIAGRAMA DO BLOCOS DA PLACA DE CPU	20
4.3.2 UNIDADE CENTRAL DE PROCESSAMENTO.....	21
4.3.3 CONTROLADOR PERIFÉRICO INTELIGENTE (Z80180).....	21
4.3.4 MEMÓRIAS RAM E EPROM.....	21
4.3.5 GERADORES DE CHIP SELECT.....	21
4.3.6 MATRIZES DE COMUTAÇÃO	22
4.3.7 DSP.....	28
4.3.8 GERADOR DE SINCRONISMO DIGITAL (TIME SLOTS).....	28
4.3.9 CONTROLADOR DE HDLC.....	29
4.3.10 RELÓGIO DE TEMPO REAL.....	30
4.3.11 CIRCUITO DE RESET	30
4.3.12 PORTAS SERIAIS E PARALELAS	31
4.3.13 CIRCUITO DE MÚSICA.....	31
4.3.14 INTERFACE COM IDA E E1	31
4.3.15 BACK-UP DA MEMÓRIA RAM	31
4.4 PLACA BASE DE RAMAL ANALÓGICO E PLACA DO SLIC	31
4.5 PLACA BASE DE RAMAL ANALÓGICO	32
4.5.1 INTERFACE DO SENSOR DE OCUPAÇÃO DE RAMAL	33
4.5.2 IDENTIDADE DA PLACA.....	34
4.6 3.2 PLACA DO SLIC	34
4.6.1 CIRCUITO CONVERSOR A/D E D/A (CODEC)	35
4.7 PLACA RAMAL DIGITAL.....	35
4.7.1 MODEM D.S.I.C.	35
4.7.2 PROTOCOLO DE COMUNICAÇÃO DOS RAMAIS DIGITAIS	36
4.7.3 ESTRUTURA DO QUADRO NA INTERFACE DE RAMAL DIGITAL	39
4.7.4 O PROTOCOLO HDLC	40

3. PABX INTELBRAS 126 DIGITAL

3.1 Composição do PABX 126 Digital

O PABX 126 Digital é composto por placas uniformes ou mistas, onde cada uma assume funções específicas controladas através de uma placa central microprocessada (**placa de CPU**) e acopladas através de uma placa de fiação (**placa base**).

O entroncamento com a central “pública” pode ser analógico, (**placa tronco analógico**) ou digital (**placa de E1**). Cada placa analógica permite a conexão de até 8 troncos bidirecionais, os quais são implementados em placas independentes (**placa COIC – Central Office Interface Circuit**) que se conectam a primeira. Uma placa de E1 permite a conexão de 30 canais digitais multiplexados e transmitidos a 2Mbps. O uso da transmissão digital permite a utilização de DDR e a identificação do assinante chamador sem a necessidade de placas adicionais. Em relação a sinalização de linha, a placa de E1 da central 126 digital, permite a utilização dos sistemas R2D, E+M contínuo e E+M pulsado.

As interfaces de ramais podem ser analógicas, digitais ou mistas. A **placa de ramal analógico** fornece interface para até 16 **placas de SLIC (Subscriber Line Interface Circuit)**. Em cada placa de SLIC temos os circuitos para a conexão de um ramal analógico. Montados na própria **placa de ramal digital** temos os circuitos que permitem a conexão de 16 ramais digitais na configuração (2B+D). O protocolo de comunicação digital é proprietário, sendo que este tipo de ramal somente pode ser utilizado com os equipamentos terminais fabricados pela Intelbras: **telefone premium 30 digital; TI 3130 digital e a mesa operadora OP 3610 digital**. As placas mistas de ramais fornecem interface para 12 placas de SLIC (ramais analógicos) e 4 ramais digitais.

3.2 Configurações de Montagem e Empacotamento Mecânico

Na placa base da Central 126 Digital tem-se 10 slots para conexão de placas principais e acessórias. Os dois primeiros slots (de tamanho menor) são para conexão de acessórios. Dentre os slots restante, o último é para conexão da placa de CPU, já representado no desenho da figura abaixo.

Os três primeiros slots principais, 1, 2, e 3, são sempre usados para placas de ramais analógicos ou digitais (Máximo 48 ramais – 3 placas com 16 ramais cada).

Os slots 4, 5, e 6 podem também ser usados por placas de ramais, mas se forem utilizadas placas tronco analógicas estas serão posicionadas em ordem decrescente, ou seja, a primeira placa no slot 6, a segunda no slot 5 e a terceira no slot 4. Os slots não utilizados por placas troncos podem ser completados com placas de ramais.

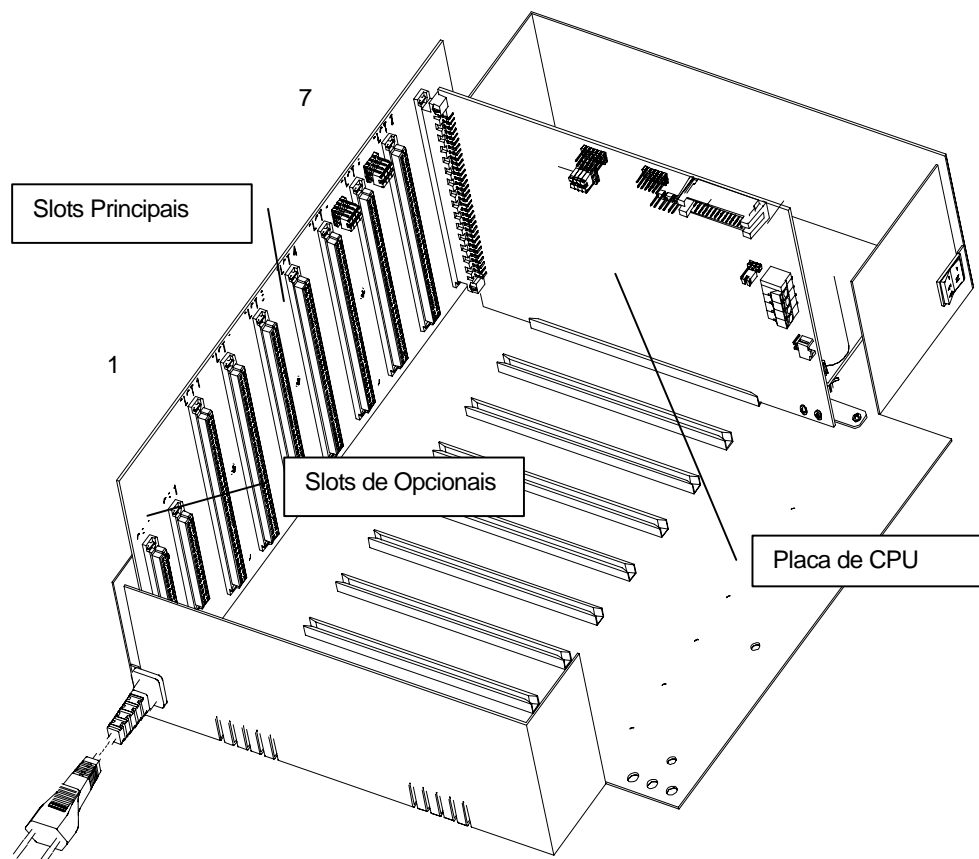


Figura 4.1 - Princípio de comutação espacial

O slot 7 pode ser utilizado por uma 4ª placa de tronco analógico, ou pela placa de **IDA (Identificador do Assinante)** ou ainda pela placa do E1. A placa de IDA atende até 24 troncos analógicos que é a capacidade máxima da central quando esta é utilizada, pois neste caso, somente 3 slots poderão dispor de placas tronco analógico (3 placas com 8 troncos cada).

3.3 Placa de CPU

A placa de CPU é responsável pelo gerenciamento e controle de toda a central 126 digital. Na placa de CPU, além do microprocessador e memórias, que formam a UCP, encontram-se as matrizes de comutação, e os circuitos de serviços auxiliares.

3.3.1 Diagrama do Blocos da placa de CPU

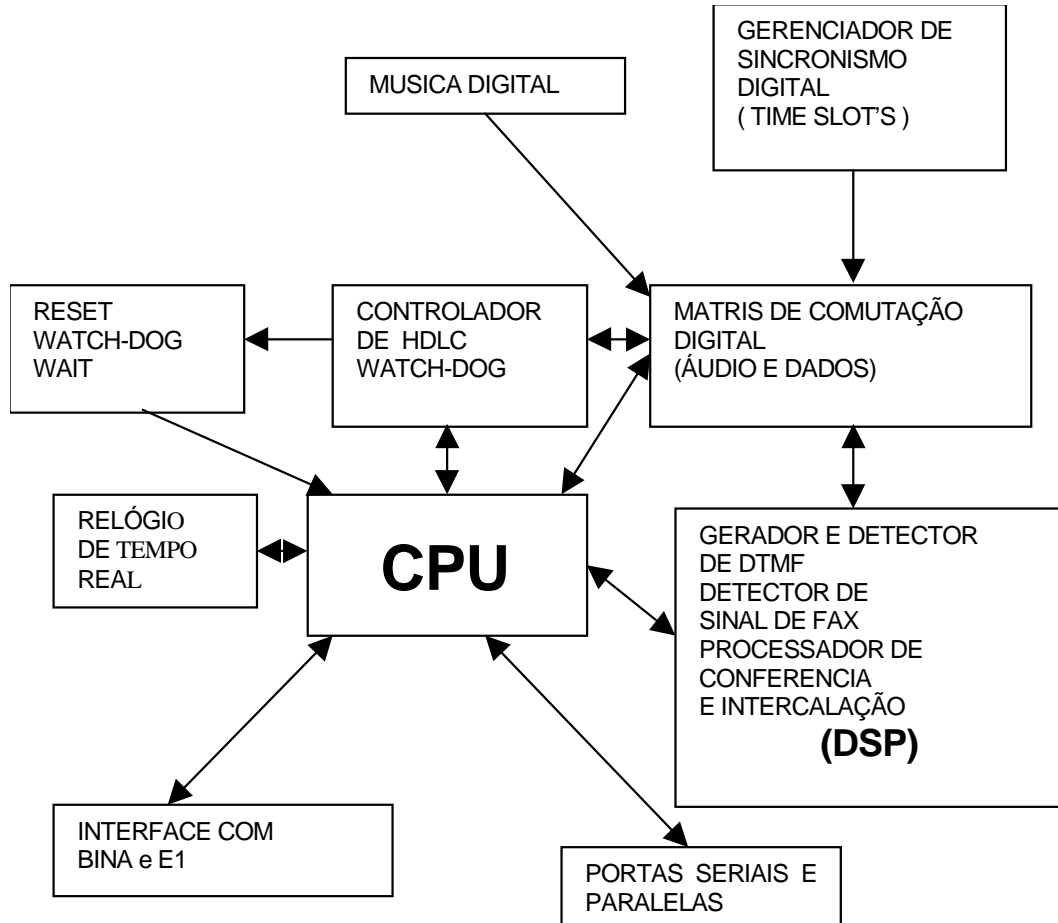


Figura 4.2 – Diagrama de Blocos da Placa de CPU

3.3.2 Unidade Central de Processamento

É constituída pelo controlador periférico inteligente (Z80180), por uma memória EPROM de 256 Kbytes e uma memória RAM de 32 Kbytes. Circuitos adicionais de chip select completam a estrutura.

3.3.3 Controlador periférico inteligente (Z80180).

Este controlador é o circuito integrado (CI.16) composto pôr CPU ZS180, SIO (interface serial), PIO (interface paralela), e CTC (gerador de base de tempo e interrupções).

A CPU trabalho com barramento de dados de 8 bits (D0 a D7) e barramento de endereços de 20 bits (A0 a A19), sendo destes últimos utilizados apenas 18 bits.

3.3.4 Memórias RAM e EPROM

Uma EPROM (CI.13 27020) CMOS de 256K de memória, armazena o programa da central 126 digital, e uma RAM (CI.18 62C518256) de 32K de memória serve para armazenamento dos dados intermediários do sistema (estado dos ramais, programações realizadas, etc.)

A memória RAM é acionada pelo chip select B (CSB) e é também controlada pelo sinal de RESET da CPU (circuito de travamento de chip select de RAM). A tensão de alimentação da memória RAM é V_{BAT} , proveniente de um circuito com bateria, garantindo-se assim que os dados de programação não sejam perdidos no caso de falta de energia elétrica. A memória EPROM é acionada pelo chip select A (CSA).

3.3.5 Geradores de Chip Select

Na Central 126 digital temos 3 circuitos de chip select. A seleção dos dispositivos de memória espacial é executada por meio do CI-35A (74HC139), sendo que o

chip select CSA é utilizado para a EPROM e o chip select CSB é utilizado para a RAM.

A seleção dos dispositivos de comutação é executada por meio CI 35B (74HC139), sendo que o chip select CS0 é utilizado para a matriz de comutação de áudio (matriz A) e o CS1 para a matriz de comutação de controle (matriz B).

Um segundo circuito integrado (CI 9 74HC273), é responsável pela geração dos chip select de 2 a 9, os quais ativam portas de entrada e saída, interfaces com a placa de E1, mesa operadora e terminais inteligentes.

3.3.6 Matrizes de Comutação

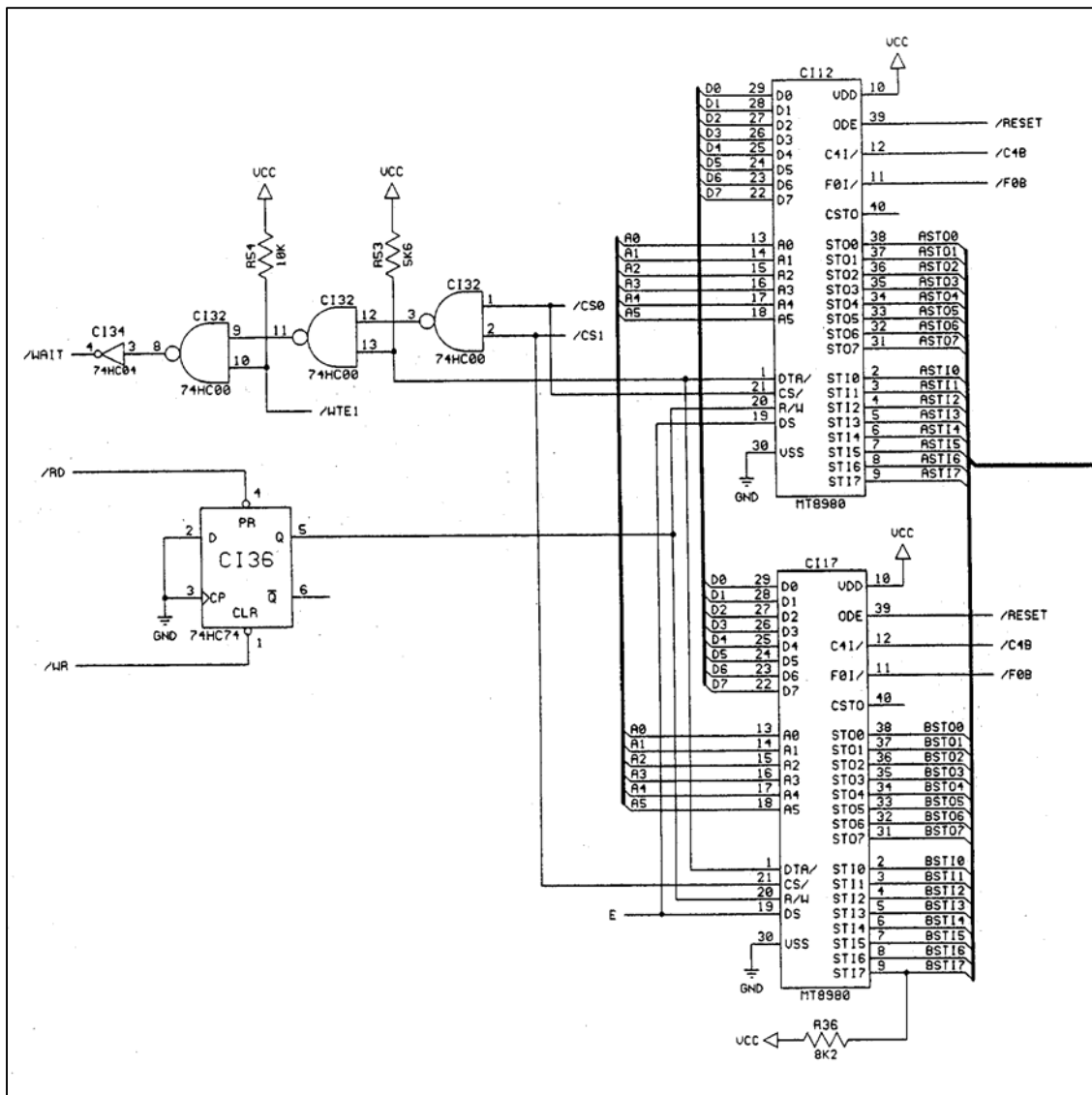


Figura 4.3 – Matrizes de Comutação (B2 e B3 na folha 2/4)

As duas matrizes trabalham com 8 linhas multiplexadas no tempo (LMT), denominadas de AST (matriz A) e BST (matriz B). Cada linha multiplexa 32 canais de entrada (ASTI e BSTI) e saída (ASTO e BSTO).

Em relação as linhas multiplexadas no tempo, cada time slot tem um significado específico e pré definido.

a) Matriz de Áudio

Nas linhas multiplexadas da matriz A (ASTI e ASTO), temos exclusivamente sinais digitais de áudio. Cada time slot de entrada apresenta as amostras de áudio que vem dos ramais e troncos. A mesma posição de time slot de saída apresentam as amostras dos sinais de áudio que irão para os ramais e troncos. Ao se estabelecer a comutação entre 2 ramais, por exemplo, a matriz de comutação deve redirecionar as amostras que chegam no time slot do ramal A para o time slot do ramal B e vice-versa.

O conteúdo das ASTs está diretamente relacionado com os slots da placa base da central 126 digital. Assim, as AST0, AST1 e AST2, transportam as amostras de áudio de ramais, uma vez que nos slots 1, 2 e 3 da placa base da central somente podem ser conectadas placas de ramais analógicos ou digitais. Cada placa de ramal tem no máximo 16 ramais, o que resulta na metade de time slots vazios em cada LMT. Na verdade, os ramais digitais, trabalham na configuração 2B+D, o que permitirá 2 canais de áudio para cada par telefônico.

TS0	TS1	TS2	...	TS14	TS15	TS16	TS17	TS18	...	TS30	TS31
R00	R01	R02	...	R14	R15				...		

Figura 4.4 – Time Slots de uma AST(I/O) com placa de ramal analógico ou digital com apenas um canal em uso (versão atual)

TS0	TS1	TS2	...	TS14	TS15	TS16	TS17	TS18	...	TS30	T31
R00B1	R01B1	R02B1	...	R14B1	R15B1	R00B2	R01B2	R02B2	...	R14B2	R15B2

Figura 4.5 – Time Slots de uma AST(I/O) com placa de ramal digital com 2 canais em uso
(versão futura)

As AST3, AST4, e AST5, podem apresentar as mesmas configurações das anteriores, caso sejam ocupadas por placas de ramais, ou ocupar apenas 8 time slots da linha multiplexada, caso sejam acopladas a placas tronco analógico.

TS0	TS1	TS2	...	TS7	TS8	TS9	...	TS28	TS29	TS30	T31
T00	T02	T03	...	T07			...				

Figura 4.6 – Time Slots de uma AST(I/O) com placa tronco analógico

A AST6 é a linha multiplexada associado ao slot 7 da placa base, que pode ter conectada uma placa de E1. Neste caso, com exceção dos time slots 0 e 16, teremos na AST, o sinal de áudio dos 30 troncos digitais.

TS0	TS1	TS2	...	TS15	TS16	TS17	TS18	TS19	...	TS30	T31
	T1	T2	...	T15		T16	T17	T18	...	T29	T30

Figura 4.7 – Time Slots de uma AST(I/O) com placa de E1

A AST7, é a linha multiplexada que contém todos os canais de áudio relacionados aos circuitos de serviços, tais como: geração de tom, áudio de porteiro, conferência, intercalação, etc. A descrição do conteúdo de cada time slot é apresentada na tabela 4.1.

Time Slot	ASTI7	ASTO7	Time SLOT	ASTI7	ASTO7
0	Conferência 1/0	Conferência 1/0	16	(vago)	DTMF 7
1	Conferência 1/1	Conferência 1/1	17	(vago)	DTMF 8
2	Conferência 1/2	Conferência 1/2	18	(vago)	DTMF 9
3	Conferência 1/3	Conferência 1/3	19	(vago)	DTMF 10
4	Conferência 1/4	Conferência 1/4	20	(vago)	DTMF 11
5	Conferência 2/0	Conferência 2/0	21	(vago)	DTMF 12
6	Conferência 2/1	Conferência 2/1	22	Mensagem int. 1	DTMT FAX ext. 1
7	Conferência 2/2	Conferência 2/2	23	Mensagem int. 2	DTMF FAX ext. 2
8	Áudio porteiro 1	Áudio porteiro 1	24	(vago)	Detector 425 1
9	(vago)	(vago)	25	Musica interna	Detector 425 2
10	(vago)	DTMF 1	26	Mensagem ext. 1	Mensagem ext. 1
11	(vago)	DTMF 2	27	Mensagem ext. 2	Mensagem ext. 2
12	(vago)	DTMF 3	28	Áudio porteiro 2	Áudio porteiro 2
13	Ger. Tom 425	DTMF 4	29	Música externa	Busca pessoa
14	Ger. MF externo 1	DTMF 5	30	(vago)	(vago)
15	Ger. MF externo 2	DTMF 6	31	Áudio modem	Áudio modem

Tabela 4.1 – Configuração da ST7 da matriz de Áudio (ASTi/o7)

b) Matriz de Dados

A matriz B é uma matriz de comutação exclusiva de sinais de controle. Nela são armazenadas todos os dados que circulam na central. Assim como na matriz de áudio, o conteúdo de cada time slot dos STbus de entrada e saída dependem do tipo de placa que esta conectado aos slots da placa base da central. O STBus 0, contém os dados da placa conectada no slot 1, o STBus1 contém os dados da placa conectada no slot 2, e assim por diante. O STbus de entrada (BSTIn) da matriz de comutação contém os dados provenientes da placa em questão, enquanto o STbus de saída (BSTOn) apresenta os dados de controle para a mesma.

c) Slot com placa ramal analógico

No caso de um ramal analógico, os dados provenientes da placa são os 16 bits que definem o estado do gancho dos 16 ramais disponíveis nesta placa. Estes 16 bits são disponibilizados nos time slots 30 e 31 da BSTIn. Os demais time slots de entrada (0 – 29) não são utilizados.

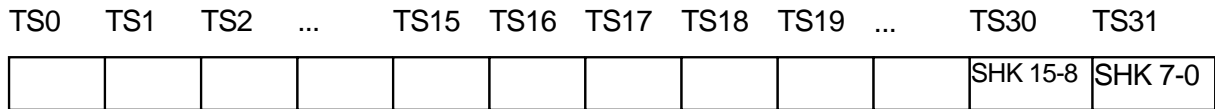


Figura 4.8– Time Slots de uma BSTI com placa de ramal analógico

Para as placas de ramais analógicos são enviados os dados dos registradores A e B que controlam os CODECs existentes nestas placas. São através destes registradores que defini-se o estado das saídas paralelas dos CODECS, por onde transmiti-se o sinal que habilita o ring para o ramal.

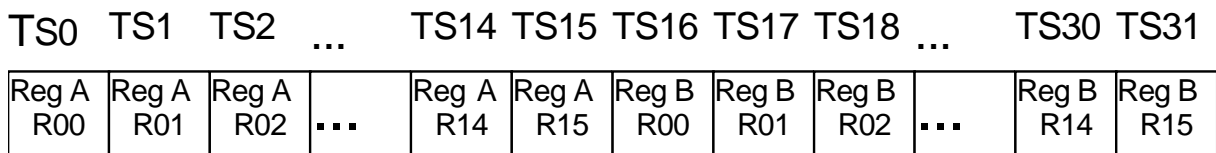


Figura 4.9 - Time Slots de uma BST0 com placa de ramal analógico

d) Slot com placa tronco analógico

No caso de uma placa tronco analógico, temos uma situação similar à anterior. Os dados provenientes da placa são os 8 bits que definem o sinal de ring entrante nos 8 troncos disponíveis nesta placa. Além do ring entrante temos um segundo bit para cada tronco, que indica a situação de inversão de polaridade na linha.. Estes 16 bits são disponibilizados nos time slots 30 e 31 da BSTIn. Os demais time slots de entrada (0 – 29) não são utilizados.

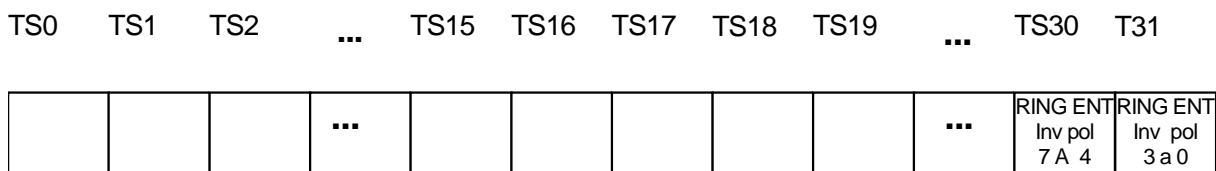


Figura 4.10 – Time Slots de uma BSTI com placa de tronco analógico

Da mesma forma como nos ramais analógicos, para as placas de tronco analógicos são enviados os dados dos registradores A e B que controlam os

CODECs existentes nestas placas. Neste caso temos apenas 8 registradores A e 8 registradores B pois temos apenas 8 troncos por placa.

TS0 ... TS7 TS8 ... TS15 TS16 ... TS23 TS24 ... TS31

Reg A T0	...	Reg A T7		...		Reg B T0	...	Reg B T7		...	
-------------	-----	-------------	--	-----	--	-------------	-----	-------------	--	-----	--

Figura 4.11 – Time Slots de uma BST0 com placa de tronco analógico

e) Slot com placa de ramal digital

No caso de ramais digitais, temos uma interface com dois canais para cada ramal. O canal D, por onde são transmitidos dados para os ramais utilizando-se um protocolo HDLC e o canal C que serve para monitoração e controle. A configuração do STBus de entrada e saída é apresentada na figura abaixo.

TS0 TS1 TS2 ... TS14 TS15 TS16 TS17 TS18 ... TS30 TS31

Canal D R00	Canal D R01	Canal D R02	...	Canal D R14	Canal D R15	Canal C	Canal C R01	Canal C R02	...	Canal C R14	Canal C R15
----------------	----------------	----------------	-----	----------------	----------------	---------	----------------	----------------	-----	----------------	----------------

Figura 4.12 – Time Slots de uma BSTI/0 com placa de ramal digital

f) Configuração do STBus 7

O último STbus da matriz de dados dispõe os dados de controle relacionados a todos os demais dispositivos da central sendo a sua configuração fixa. A descrição do conteúdo de cada time slot é apresentada na tabela 4.2.

Time Slot	BSTI7	BSTO7	Time Slot	BSTI7	BSTO7
0	HDLC D	HDLC D	16	(vago)	(vago)
1	Identidade placa 1	(vago)	17	(vago)	(vago)
2	Identidade placa 2	(vago)	18	(vago)	(vago)
3	Identidade placa 3	(vago)	19	(vago)	(vago)
4	Identidade placa 4	(vago)	20	(vago)	(vago)
5	Identidade placa 5	(vago)	21	(vago)	(vago)
6	Identidade placa 6	Reg B - msg int 1	22	(vago)	Reg A – msg int 1
7	Identidade placa 7	Reg B - msg int 2	23	(vago)	Reg A – msg int 2
8	(vago)	(vago)	24	(vago)	(vago)
9	Dados DISA PT 1	DISA PT 1	25	(vago)	(vago)
10	Sensor placa relê	Reg B - msg ext 1	26	(vago)	Reg A – msg ext 1
11	Sensor placa DISA	Reg B - msg ext 2	27	(vago)	Reg A – msg ext 2
12	Sensor placa Modem	(vago)	28	(vago)	(vago)
13	Sensor placa opc 4	Reg A busca p / mus ext	29	(vago)	Reg B – busca p / mus ext
14	Sensor placa opc 5	(vago)	30	(vago)	DISA PT 2
15	(vago)	Reg B – modem	31	Dados DISA PT 2	Reg A modem

Tabela 4.2 – Configuração da ST7 da matriz de Dados (BSTi/o7)

3.3.7 DSP

O DSP (processador digital de sinais) é o circuito que realiza, através de software, todas as funções acessórias relacionadas aos sinais da áudio de central 126 digital: Geração de 425 interno e externo; detecção de 425 e sinal de fax externo; geração e detecção de MF externo, detecção de MF interno, conferência e intercalação.

3.3.8 Gerador de Sincronismo digital (Time slots)

É o circuito que cria os sinais que definem as janelas de tempo de acesso para os dispositivos que compartilham um linha multiplexada (ASTi/o BSTi/o). Cada linha multiplexada tem 32 canais, sendo criados 16 sinais de janelas de tempo (/F100 a /F1015) e um sinal auxiliar (CAO – CAO/) que divide pela metade o período de amostragem. Cada dispositivo ligado a uma linha multiplexada, recebe um sinal de janela de tempo e o sinal CAO ou CAO/. Pela combinação destes dois sinais, tem-se definido o time slot em que o dispositivo, por exemplo, um codec, lê e escreve suas amostras de voz na linha multiplexada da matriz de comutação. Assim, um codec que recebe os sinais F105/ e CAO trabalha com o

time slot 5 enquanto que um outro que recebe os sinais F105/ e CAO/ trabalha com o time slot 21 (segunda metade do quadro).

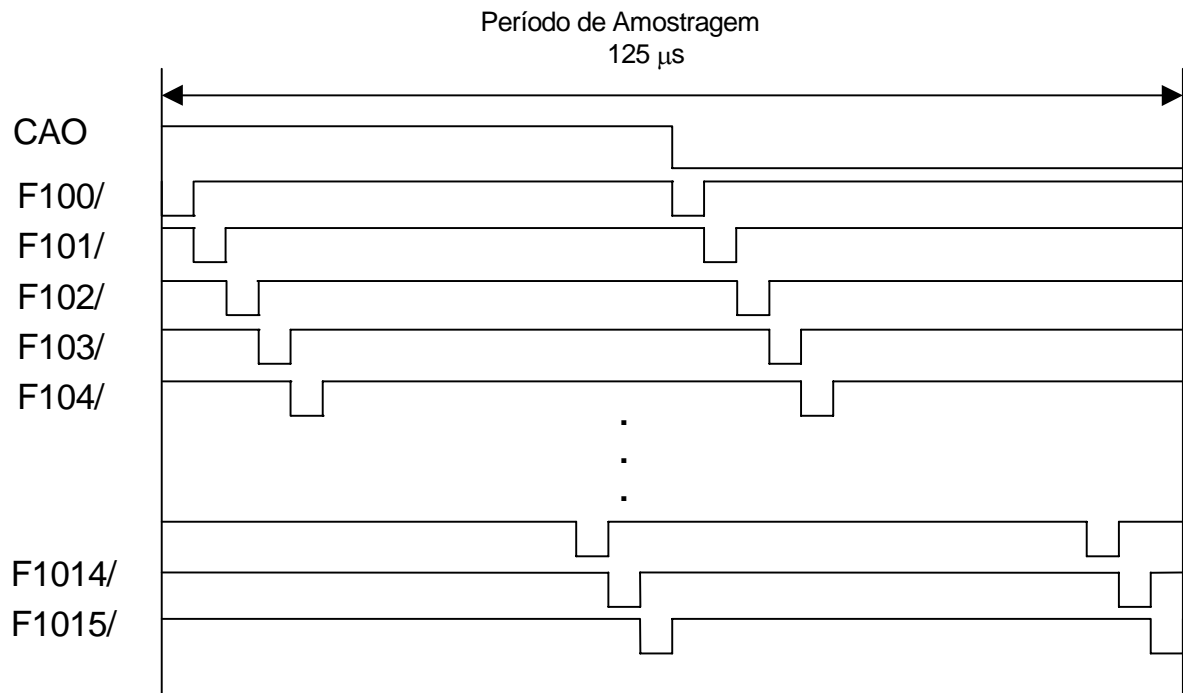


Figura 4.13. Sinais Criados pelo Gerador de Time Slots

O circuito gerador de sincronismo digital é formado por dois blocos. Um bloco é responsável pela geração do sinal de clock de 2Mbits/s, correspondente a taxa interna de bits que trabalha a matriz de comutação (32 canais de 64Kbits/s). O sinal gerado por este circuito é sincronizado com o sinal extraído da linha de transmissão do E1, para evitar a perda de bits na transmissão.

3.3.9 Controlador de HDLC

A comunicação com os ramais digitais da central 126 digital é feita através de um interface 2B+D, ou seja, dois canais de áudio e um canal de dados de controle. No canal de controle são transmitidas todas as mensagens do PABX para os terminais digitais e vice versa. Para a transmissão das mensagens é utilizado

um protocolo padrão HDLC¹. O circuito responsável pela formatação dos dados é o CI 22 (MT8952B).

O CI MT8952B está conectado diretamente a CPU e a matriz de dados de controle (matriz B). Todas as mensagens enviadas ou recebidas da CPU para um determinado ramal digital, passam pelo controlador de HDLC para serem formatadas. O controlador de HDLC, coloca as referidas mensagens em um STBus da matriz de dados, que se encarrega de comuta-las para o modem digital (DSIC) da placa de ramal digital.

O circuito MT8952B executa também a função de “watch-dog”. A função do “watch-dog” é de ordenar o reset da CPU caso o programa saia da rotina. No caso de interrupção do programa da CPU, o CI MT8952B comanda o circuito de reset (Seção 2.8) através da saída /WD.

3.3.10 Relógio de Tempo Real

Este circuito é formado basicamente por um circuito integrado CI – 11 (DS1202) e um cristal de 32,768 KHZ com uma porta serial, e é responsável pela data e hora da central. Ele continua funcionando na falta de energia , pois está interligado ao circuito de back-up, alimentado pôr um capacitor e bateria (VBAT).

3.3.11 Circuito de Reset

É composto pelo CI28 (HT7044) que é um detector de tensão. Quando a tensão de alimentação atingir o valor 4,4V a saída desse integrado será nível lógico zero que está ligado ao reset da CPU, sendo o pedido de reset reconhecido pela unidade central de processamento.

¹ HDLC – High Level Data Link Control

3.3.12 Portas Seriais e Paralelas

3.3.13 Circuito de música

A musica interna da central é gerada por pelo CI 27 (HT3810), na forma analógica, sendo amplificada e digitalizada por um CODEC, o qual esta ligado a ASTI7, a linha multiplexada correspondente aos sinais de áudio de serviço. Observe que o codec em questão recebe os sinais de janela de tempo /F109 e /CAO, o que significa que a janela de tempo da musica externa é a 25 (9+16) pois o sinal CAO é barrado (CAO/).

3.3.14 Interface com IDA e E1

3.3.15 Back-up da Memória RAM

É o circuito que mantém a alimentação da memória RAM, do relógio de tempo real e do circuito de travamento do chip select de RAM, quando o sistema está desenergizado. Neste circuito, quando Vcc está presente, D4 e D6 estão conduzindo, a bateria se carrega e Vbat é igual a Vcc. Na falta de Vcc, D4 e D6 entram no corte e D5 passa a conduzir, levando a tensão da pilha a Vbat.

3.4 Placa Base de Ramal Analógico e Placa do SLIC

A interface de ramais analógicos da central 126 digital é constituída pela placa base de ramal analógico e pela placa do SLIC². Na placa base de ramal analógica podem conectar-se até 16 placas de SLIC. Cada placa de SLIC fornece interface analógica para apenas um ramal, dispondo de um codec para digitalização do sinal de áudio.

² SLIC - Subscriber Line Interface Circuit (Circuito de Interface de Linha de Assinante)

3.5 Placa Base de Ramal Analógico

As principais funções da placa base de ramal analógico são:

- Alimentar as placas de SLIC;
- Interface de dados e sinais elétricos para as placas de SLIC;
- Identificar os sensores das placas de SLIC para a CPU;
- Sustentar fisicamente as placas de SLIC;
- Proteção secundária dos ramais através de PTC³ e varistores.

O ramal analógico é interligado à central 126 digital através de um conector na placa base de ramal analógico. Após passar por um circuito de proteção ele é encaminhado a placa do SLIC, onde o sinal será digitalizado. O sinal de áudio digital, proveniente da placa do SLIC, é conectado a matriz de áudio digital.

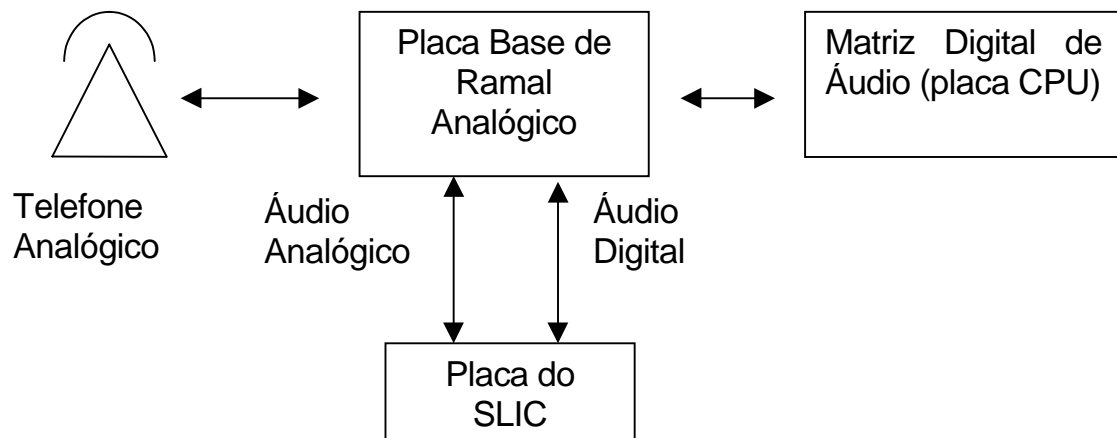


Figura 4.14– Interface do sinal de áudio de um ramal analógico

Em relação aos sinais de controle, um ramal analógico trabalha basicamente com dois sinais: um sinal que habilita o ring, e um sensor de ramal livre e ocupado (SHK⁴).

³ PTC - positive temperature coefficient ("resistência") que varia com a temperatura)

⁴ SHK – Sensor de HooK (gancho)

O sinal que habilita o ring para o ramal é enviado pela matriz de comutação de dados (BSTO), diretamente para o codec na placa do SLIC, que através de uma de suas saídas paralelas transmite o comando para o circuito de interface analógica.

O sensor de ocupação é uma das saídas do circuito de SLIC para a placa base de ramal analógico, que realiza a interface entre os 16 sinais SHK e a matriz de comutação de dados (BSTO). Um segundo sinal de controle, enviado pela placa base de ramal analógico a matriz de comutação de dados, é o código digital que define a identidade da placa.

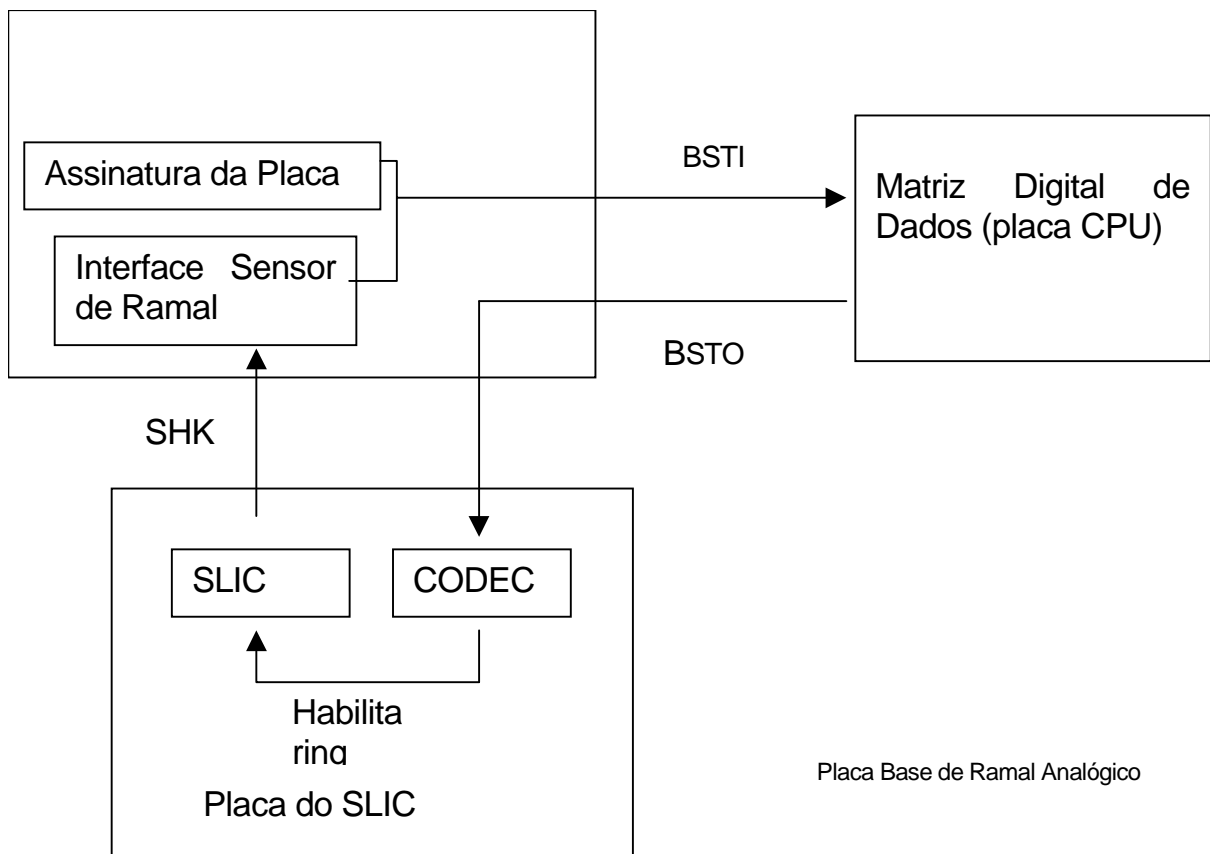


Figura 4.15 – Sinais de controle da Interface de ramal analógico

3.5.1 Interface do Sensor de Ocupação de Ramal

Este circuito da placa base de ramal analógico é o responsável por disponibilizar junto a matriz de comutação de dados todos os sinais SHK oriundos das placas do SLIC. É constituído por dois circuitos 74hc166 (registrador de deslocamento)

e dois pares de flip flop. Os sinais SHK que chegam ao circuito 74HC166 são colocados serialmente em um dos time slots de um barramento digital da matriz de comutação de dados

3.5.2 Identidade da Placa

Um circuito integrado 74vhc166 (registrador de deslocamento), tem a palavra digital que define a identidade da placa base de ramal analógico “setada” em suas entradas. Este circuito, em conjunto com um par de flip flops, transmite a identidade da placa para a matriz de comutação de dados. O time slot em que será inserida a assinatura é definido pelos sinais de janela de tempo: /F1 (01 a 07) e /CA. O sinal utilizado dependerá de qual slot da placa base da central a placa em questão foi conectada; /F101 se no slot 1, /F102 se no slot 2 e assim por diante.

3.6 3.2 Placa do SLIC

As principais funções da placa do SLIC são:

- Verificar o estado de ocupação do ramal através do SHK;
- Enviar corrente de ring ao ramal
- Casar as impedâncias do telefone com o circuito de ramal;
- Enviar a discagem para a CPU;
- Converter o sinal analógico para o sinal digital e vice-versa.

A placa do SLIC, conectada a placa base do ramal analógico, recebe desta o sinal de áudio que vem do ramal, e realiza a interface com as matrizes de áudio e dados. Dois blocos constituem a placa do SLIC: o codec que realiza as conversões A/D e D/A, além de transmitir o sinal de controle do ring através de uma das suas saídas paralelas; e o circuito do SLIC propriamente dito, implementado através do CI2 (MT91600).

3.6.1 Circuito Conversor A/D e D/A (CODEC)

O circuito integrado MT8967 (CI 1) é o codec utilizado na maioria dos circuitos de conversão A/D e D/A da central 126 digital da Intelbras. Ele é conectado a um barramento de entrada e saída da matriz digital de áudio (ASTIr e ASTOr) e a um barramento de saída da matriz de dados (BSTOr), por onde recebe dados de controle interno e o comando que habilita o sinal “ring” para o ramal. O comando do ring é colocado em uma de suas saídas paralelas (SD0), e fornecido ao circuito de SLIC. O sinal de áudio analógico é enviado e fornecido pelo circuito de híbrida do SLIC através de VR e VX.

3.7 Placa Ramal Digital

O circuito de ramal digital é conhecido como interface 2B+D, sendo que a central possui dezesseis circuitos de ramais digitais por placa. Com estas placas poderão somente ser utilizados os telefones premium 30 digital, terminais inteligentes digitais ou uma mesa operadora na posição do ramal. A central poderá assumir uma configuração de até 96 ramais digitais (6 placas de dezesseis ramais cada).

As principais funções da placa de ramal digital são:

- Alimentar eletricamente o terminal digital .
- Interfacear os sinais digitais.
- Casar impedâncias entre central e terminais digitais .
- Proteger os ramais digitais de transientes atmosféricos.
- Limitar a amplitude dos sinais digitais dentro de uma faixa.

3.7.1 Modem D.S.I.C.

A interface digital é feita com o circuito 8971B (Digital Subscriber Interface Circuit) uma interface 2B+D colocada em cada saída digital da placa de ramal. O DSIC

possui: transmissão full duplex, ISDN compatível com (2B+D), formatação de dados, sincronização de frame, extração de clock do barramento e ST-bus compatível com tecnologia MITEL. É formado pelos seguintes componentes: CI-1, C7, C8, C12 e R3.

O DSIC é interligado com as matrizes de áudio (ASTI e ASTO) e dados (BSTI e BSTO). Com a matriz de áudio o DSIC pode trocar as amostras de voz de dois ramais (2B), embora, atualmente somente um esteja em utilização. Com a matriz de dados o DSIC estabelece um canal de controle (D). Por este canal, através de um protocolo de comunicação proprietário da Intelbras, são trocadas mensagens entre a CPU e os ramais digitais.

3.7.2 Protocolo de Comunicação dos Ramais Digitais

Para um ramal digital, o sinal de voz é transmitido e recebido na forma de amostras codificadas em PCM, cabendo ao aparelho terminal realizar a conversão para a forma analógica e vice-versa. Em se tratando de um sinal digital, pode-se utilizar na transmissão, a multiplexação por divisão do tempo (TDM) e assim transmitir o sinal de mais de um ramal no mesmo par de fios.

Uma interface digital padronizada pelo ITU-T é a RDSI de faixa estreita, que prevê, entre outros serviços, o acesso básico 2B+D (dois canais de áudio de 64Kbs e um canal de dados). Apesar de não se utilizar a interface RDSI nos ramais da central 126 digital, em função da complexidade do seu protocolo, a mesma estrutura é adotada. Assim, no par de fios que saem da placa de ramal digital para o aparelho telefônico, estão presentes sinais digitais correspondentes a 2 canais de áudio e um canal de dados (canal D). Atualmente, apenas um canal de áudio é utilizado.

Os dois canais de áudio são provenientes da matriz A, enquanto que o canal de controle é interligado a matriz B, que realiza a comutação com o controlador de HDLC na placa de CPU, conforme a próxima figura.

Todos os DSICs da mesma placa estão conectados no mesmo ST-BUS de dados da matriz A e no mesmo ST-BUS de comandos da matriz B. O número do

ST-BUS esta relacionado com o slot onde se encontra a placa de ramal digital. Se a placa está no slot 1, então os DSICs se ligam ao ST-BUS de dados ASTi/o0 e ao ST-BUS de comandos BSTi/o0. Se a placa está no slot 2, então os DSICs se ligam ao ST-BUS de dados ASTi/o1 e ao ST-BUS de comandos BSTi/o1. Esta forma de conexão se repete até o slot 6;

Os ST-BUS da matriz "A", ASTi/o0..5 carregam os canais B1 e B2 do formato 2B+D, com os canais B1 ocupando os time slots de 0 a 15, e os canais B2 ocupando os time slots de 16 a 31. Cada um dos 16 DSICs da placa recebe um canal B1 e B2 da linha ASTi, segundo o time slot relacionado a sua posição na mesma. Assim, o primeiro ramal recebe o B1 do time slot 0 e o B2 do time slot 16. O segundo ramal fica com o B1 do time slot 1 e o B2 do time slot 17 e assim por diante, até o último ramal da placa que fica com o B1 proveniente do time slot 15 e o B2 do time slot 31 da ASTi/o0..5.

Os ST-BUS de comandos BSTi/o0..5 carregam os canais de dados (D) e controles (C). No canal D são transmitidas as mensagens para os ramais digitais e o canal C carrega sinais de controle da CPU para os DSICs.. Os canais D ocupam os time slots de 0 a 15, e os canais C ocupam os time slots de 16 a 31 do ST-BUS da matriz B, os quais são distribuídos aos 16 ramais da placa de forma idêntica ao que ocorre com os canais de áudio B1 e B2.

Todas as mensagens do protocolo, oriundas do controlador de HDLC, trafegam pelo canal D, que usa apenas 2 bits do byte, bits 0 e 1. É importante observar que os bits do canal D são invertidos em relação ao formato ST-BUS, ou seja, o bit 0 do canal D vai na posição do bit 7 da estrutura ST-BUS, e o bit 1 na posição 6. O canal C é usado para escrever a configuração dos registradores internos dos DSICs e ler os registradores de status dos mesmos. Um dos bits do canal C, HK (Housekeeping) ou bit 7 do registrador interno do DSIC, ou bit 0 da estrutura ST-BUS, também é transmitido e recebido na linha 2B+D.

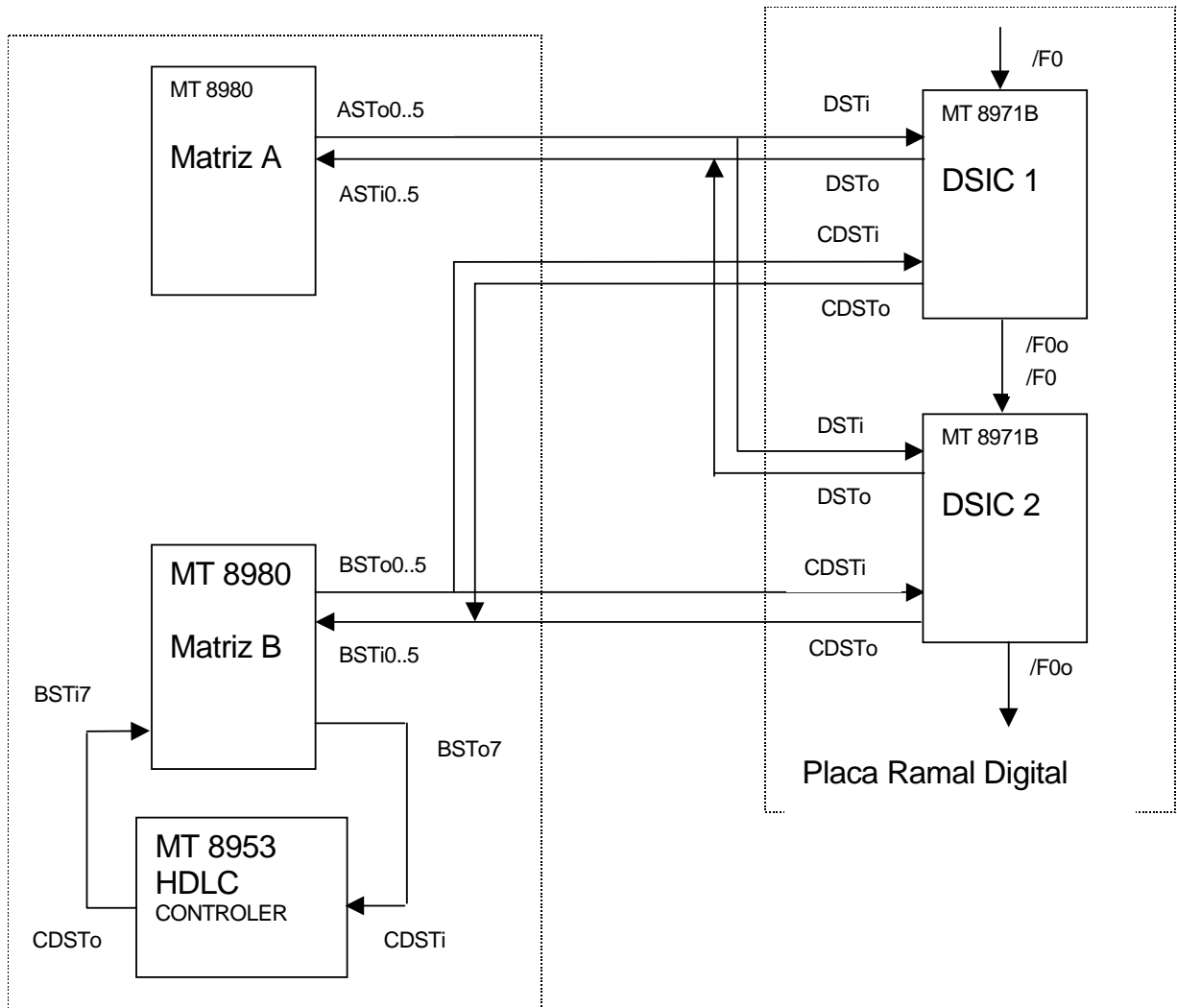


Figura 4.16 – Diagrama de comunicação entre ramais digitais e CPU

Cada DSIC transmite e recebe os canais B1 e B2 dos time slots 0 e 16 respectivamente, o mesmo valendo para os canais D e C. O que faz com que cada canal seja posicionado corretamente na estrutura do ST-BUS são os sinais /F0 (entrada) e /F0o (saída). O primeiro DSIC recebe o /F0 do sistema, e portanto acessa realmente os canais 0 e 16 do ST-BUS. Quando o primeiro DSIC termina o acesso ao time slot 0, gera um pulso (frame pulse) na saída /F0o. Este pulso de saída entra no /F0 do segundo DSIC. Este por sua vez, ao acessar o time slot que "pensa" ser o 0, está na verdade acessando o time slot 1 da estrutura ST-BUS. Este processo se repete por toda a cadeia de DSICs da placa. Cada DSIC, depois de acessar o seu "time slot 0", conta 16 tempos de time slot para então acessar o seu "time slot 16".

3.7.3 Estrutura do Quadro na Interface de Ramal Digital

Os dados são transmitidos e recebidos na linha do ramal no seguinte formato:

SY	H			B1	B1	B1	B1	B1	B1	B1	B1	B1	B2	B2	B2	B2	B2	B2	B2
NC	K	D1	D0	0	1	2	3	4	5	6	7	0	1	2	3	4	5	6	7

Figura 4.17 – Formato do fluxo de dados da interface de ramal digital

São 20 bits transmitidos e recebidos 8000 vezes por segundo, o que resulta numa taxa de 160 Kbps. Esta taxa ocorre tanto para transmissão quanto para recepção, no mesmo par de fios, ou seja, a comunicação é full duplex com cancelamento de eco;

O processador Z80180 da placa de CPU é o responsável pelo controle de todo o processo. Ele determina as mensagens que devem ser enviadas aos ramais e estabelece os parâmetros de controle dos circuitos DSIC na placa de ramal digital. Ambos os dados são repassados ao DSIC através da matriz de comutação B. As mensagens que serão transmitidas aos ramais, são enviadas inicialmente ao controlador de HDLC, que faz a formatação conforme determina a recomendação X.25 (camada 2) do ITU-T;. Após formatação, as mesmas são enviadas aos ramais digitais. O canal C, que controla os DSCIs é tratado pela CPU, que acessa diretamente a matriz B. Um dos bits do canal C (bit HK) compõe o quadro que é transmitido e recebido dos ramais, servindo de bit de controle da CPU sobre os mesmos.

O telefone comum digital usa o canal C (bit HK) para enviar ao PABX a condição do gancho e receber do PABX o comando para tocar a campainha. Toda a discagem do ramal vai para o PABX via MF no canal B1. O canal B1 também é usado para enviar e receber o áudio. O canal B2, apesar de transmitido com bits de enchimento, atualmente não é utilizado na interface digital da central 126 Intelbras. No telefone digital comum, o canal D é desprezado pois o mesmo não dispõe de nenhum hardware, para dar tratamento as mensagem recebidas, e também de um display para apresentação de mensagens aos usuários.

3.7.4 O Protocolo HDLC

Todas as mensagens que são enviadas aos ramais digitais, pela CPU, são formatadas no controlador de HDLC. O controlador de HDLC, acrescenta às mensagens bytes que tem por função garantir a integridade das mesmas no processo de transmissão. Estas informações são basicamente palavras de controle do início e fim da mensagem, o seu tamanho, que é variável, e o destino da mesma. Além disto, bytes adicionais fazem a checagem da integridade dos bits, através de um algoritmo FCS (Frame Check Sequence).

Independente do tamanho da mensagem, apenas 2 bits são transmitidos em cada quadro (D1 e D2). O controlador de HDLC, após a formatação da mensagem, se encarrega de dividi-la em pacotes de 2 bits, os quais são transmitidos no time slot 0 das portas CDSTo com destino a matriz B, onde são comutados ao DSIC da placa de ramal digital. Na recepção, os bits que entram pela porta CDSTi são montados até que formem a mensagem completa. A taxa de transmissão do canal D é de 16Kbps (2 bits 8000 vezes por segundo).

Os pacotes de dados do protocolo HDLC têm o seguinte formato:

FLAG	DADOS (>= 2 bytes)	FCS (2 bytes)	FLAG
-------------	---------------------------	----------------------	-------------

FLAG: é um padrão de 8 bits (01111110) que define o início e fim do pacote. O controlador se encarrega de anexar os flags na transmissão, e procurar por esta seqüência na recepção.

DADOS: é o campo reservado para o endereço, controle e a informação que se deseja transmitir / receber. Deve ter no mínimo 2 bytes. No caso da Intelbras, o campo dos dados transmitidos e recebidos têm o seguinte formato:

Endereço destino	1 byte
Low do número de bytes da informação	1 byte
High do número de bytes da informação	1 byte
Informação	máx. 1500 bytes

Endereço destino: se o PABX está transmitindo uma mensagem, então, 00d..95d identifica o ramal destino, ou, FFh se a mensagem se destina a todos os ramais. Se o PABX está recebendo uma mensagem, então, 00d..95d identifica o ramal para onde o PABX deve reencaminhar a mensagem, ou, FFh se a mensagem se destina ao próprio PABX.

Low e high do número de bytes da informação: definem o total de bytes da informação. Como são reservados dois bytes para este campo, a maior mensagem teria 65.535 bytes (2¹⁶). Entretanto, definiu-se como 1500 bytes o tamanho máximo, que corresponde à maior mensagem existente.

Informação: este campo carrega a informação que se deseja transmitir / receber. O campo de informação não será detalhado.

FCS (Frame Check Sequence): são dois bytes resultantes de um cálculo polinomial nos bits do campo dos dados na transmissão. O receptor, por outro lado, executa um cálculo semelhante, porém envolvendo também o FCS. Se o resultado for F0B8h, o pacote está correto.

O controlador de HDLC também se encarrega da inserção e retirada dos zeros requerida pelo protocolo. A cada cinco '1' consecutivos gerados ou recebidos, deve-se inserir ou retirar um '0', respectivamente. Quando não está transmitindo pacotes de mensagem, o controlador de HDLC pode também ser programado para enviar caracteres de entreframe como: FFh ("idle state"), 7Eh ("interframe time fill state"), 7Fh ("go ahead state").